

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11088351 A**(43) Date of publication of application: **30.03.99**

(51) Int. Cl.
H04L 12/28
H04L 29/14
H04Q 3/00

(21) Application number: **09242522**(71) Applicant: **NEC CORP**(22) Date of filing: **08.09.97**(72) Inventor: **OKANE SHOJI**

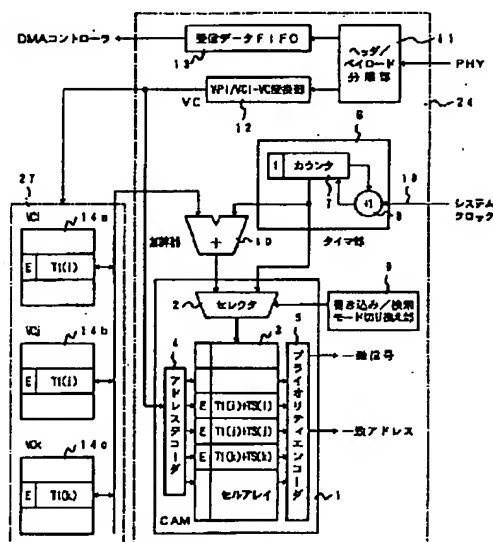
(54) **TIME-OUT DETECTION METHOD AND
 DETECTOR FOR ATM RECEPTION PACKET**

(57) Abstract:

PROBLEM TO BE SOLVED: To accurately detect the time-out of the packet assembly time of respective reception VCs (identification signals of VPI/VPC), that is the time after the reception of a leading cell until a final cell, by respective VC units corresponding to the cell rate and packet length of the respective VCs.

SOLUTION: This detector is constituted of a CAM 1, a write/retrieval mode switching part 9, a timer part 6 increased in synchronism with a system clock 19 supplied from a system bus side and an adder 10 for adding the time-out allowable time of the respective VCs and the counter value of the timer part 6. An E bit for enabling the time-out detection of the respective reception VCs and the time-out allowable time (T1) of reception packets are set inside VC tables 14a-14c inside a control memory 27 for dividing an area by the VC unit and storing the information of the respective VCs.

COPYRIGHT: (C)1999,JPO



【特許請求の範囲】

【請求項1】 ATM通信制御装置の受信側において、CAMを使用することによりATM受信パケットのタイムアウトを検出することを特徴とするATM受信パケットのタイムアウト検出方法。

【請求項2】 各受信VCのタイムアウト検出をイネーブルにするためのビットと受信パケットのタイムアウト許容時間が、それぞれの受信VCの情報を格納する領域内で各VC単位で設定できることを特徴とする請求項1に記載のATM受信パケットのタイムアウト検出方法。

【請求項3】 書き込み/検索モードにより入力データを切り換えるセレクトと、タイムアウト検出時間を登録するセルアレイと、セルアレイの内容の書き込み/読み出しのアドレスを受信VCからデコードするアドレスデコーダと、セルアレイの出力から一致信号および一致アドレスを出力するプライオリティエンコーダとから構成されるCAMと、

書き込み/検索モード切り換え部と、

システムバス側から供給されるシステムクロックに同期してインクリメントされるカウンタで構成されるタイム

部と、
各VCのタイムアウト許容時間と前記タイム部のカウンタ値とを加算するための加算部とを有することを特徴とするATM受信パケットのタイムアウト検出装置。

【請求項4】 システムクロックを分周する手段と、外部から供給されるタイム分解能選択コードにより前記タイム部内のカウンタ値をインクリメントする信号を選択するセレクトをさらに備え、前記タイム部の1単位時間を制御することができる請求項3に記載の受信パケットのタイムアウト検出装置。

【請求項5】 請求項4に記載のタイムアウト検出装置を有することを特徴とするATM通信制御装置。

【請求項6】 各受信VCのタイムアウト検出をイネーブルするためのビットと受信パケットのタイムアウト許容時間とを各VC単位で格納する複数のVCテーブルから成るコントロールメモリをさらに有することを特徴とする請求項5に記載のATM通信制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM（非同期転送モード）ネットワークにおいて、ATMセル化されたパケットを受信するATM通信制御装置の受信パケットのタイムアウト検出方法および装置に関する。

【0002】

【従来の技術】 B-ISDN（広帯域ISDN）でのデジタル情報の多重転送方式であるATM（非同期転送モード）は、転送がネットワークのビットレートと同期する必要がないので転送する情報量に応じた効率的な処理ができるという点で高速・広帯域通信サービスに広く用いられている。図4はATMネットワークの構成を示し

ており、複数のATM端末21a～21cを複数のATMスイッチ22a～22cを介して複数のATMサーバ22a、22bに接続するATM通信制御装置により構成されている。各ATM通信装置の送信側では、図5に示すように、パケットを5バイトのヘッダと48バイトのペイロードで構成されるATMセルに分解し、回線上传送している。ATMセルのヘッダ内には、VPI/VCIという仮想コネクションを識別する番号が埋め込まれており、これによりセルの送受信端末間の通信を実現している。

【0003】 このようなATMネットワークにおいて、回線または装置の何らかの異常により、あるコネクションのこのパケットのセルが遅延したり、廃棄され、最後まで受信側に到着しないことが起こる場合がある。そのため、このコネクションの処理を終了するためには、ATMパケットのタイムアウトを検出することが必要となる。

【0004】 従来、この種のATM受信パケットのタイムアウト検出部は、例えば「ユーザーズマニュアル μPD98401 ローカルATM SARチップ（NE ASCOT-S10）」に示されるように、ATM通信制御装置の受信側において、ATMセル化されたパケットの組み立てに要する時間を規定し、ハードウェアでその許容時間を越えていないかを監視し、タイムアウトを検出した場合にこれを上位レイアに通知することを目的として用いられている。

【0005】 図6は、ATM通信制御装置の一例を示すブロック図である。

【0006】 ATM通信制御装置は、ATM物理レイヤの機能を有するデバイスPHY28と、受信したATMセルのヘッダ内のVPI/VCIの値による受信の判断、VPI/VCIの識別番号（以下、VCと称する）への変換、各種のエラー検証、パケットの組み立てなどを行うSAR（Segmentation And Reassembly）受信部24と、反対に送信するパケットのATMセル分解、送信セルレートの制御などを行うSAR送信部25と、SAR受信部24およびSAR送信部25で使用する各種の情報（DMA時のアドレス、先頭セルのフラグなど）を格納するコントロールメモリ27と、SAR受信部24およびSAR送信部25とCPU29およびシステムメモリ30とが接続されるシステムバス31とのインタフェース制御を行うDMAコントローラ26とから構成される。

【0007】 セルが受信されると、SAR受信部24においてヘッダ内のVPI/VCIの値が判断される。受信が許可された受信セルのペイロードは、DMAコントローラ26により読み出され、システムバス31を介してシステムメモリ30へDMA転送されることになる。

【0008】 図7は従来のATM受信パケットのタイムアウト検出装置のブロック図である。

【0009】ATM受信バケットのタイムアウト検出装置は、SAR受信部24内に有り、タイムアウトの許容時間を設定するT1レジスタ16と、「最も前に受信を開始したVC」の開始時間を格納するTSレジスタ17と、T1レジスタ16の値とTSレジスタ17の値を加算するための加算器10と、システムバス31側から供給されるシステムクロック19に同期してインクリメントされるカウンタ7で構成されるタイマ部6と、加算器10の出力値とタイマ部6のカウンタ値とを比較するための比較器18とから構成される。

【0010】コントロールメモリ27は、VC単位で領域を分けてそれぞれのVCの情報を格納する構成（以下、VCテーブルと称する）をとっている。VCテーブル15a~15c内のタイムアウト検出に関連するパラメータとしては、タイムアウト検出をイネーブルにし、リンクリストにリンクさせるためのEビットと、バケットの受信開始時間、つまり、バケットの先頭セルの到着時間（TS）と、リンクリストを形成するための前方／後方ポインタ（EP/BP）とがある。

【0011】また、SAR受信部24は、さらに、受信セルのヘッダとペイロードを分離するヘッダ／ペイロード分離部11と、受信セルのヘッダから抽出したVPI/VCIをこれに対応するVCに変換するVPI/VCI-VC変換部12と、DMA時まで受信セルのペイロードを格納するための受信データFIFO13とを有している。

【0012】次に、動作について説明する。

【0013】受信バケットのタイムアウトの検出は、VCテーブルにある前方／後方ポインタ（FP/BP）を用いて形成するリンクリスト方式により行われる。これらのポインタには、前に受信開始されたVC番号、後に受信開始されたVCの番号がそれぞれ格納されている。

【0014】セルを受信すると、受信VCに対応するVCテーブルからEビットを読み出す。Eビットがセットされているとき、そのセルが新しいバケットの先頭であれば、その時点のタイマ部6のカウンタ値を現在の時間として、このVCに対応するVCテーブルのTS領域に書き込む。仮に、リンクリストに何もVCが無い状態であれば、同様にTSレジスタ17にもこの時間に書き込む。さらにVCテーブルのポインタを更新後、このVCをリンクリストの最後尾に追加する。つまり、リンクリストは常に、「最も前に受信を開始したVC」が先頭となり、「最も新しく受信を開始したVC」が最後尾にリンクされる形となる。

【0015】また、T1レジスタ16に設定されたタイムアウトの許容時間内にバケットの最終セルが到着した場合には、そのVCおよび前後のVCのポインタを更新し、リンクリストからこのVCを取り除く。仮に、「最も前に受信を開始したVC」がリンクリストから削除される場合には、TSレジスタ17を次にリンクするVC

の受信開始時間で書き換える。

【0016】したがって、一番初めにタイムアウトが検出されるのはリンクリストの先頭にあるVC、つまり

「最も前に受信を開始したVC」であるため、TSレジスタ17に書かれたこのVCの受信開始時間とT1レジスタ16に設定されたタイムアウトの許容時間とを加算器10により加算した値を比較器18の入力端子Aに入力し、現在時間を示すタイマ部6のカウンタ値を比較器18の入力端子Bに入力し比較することによりタイムアウトの検出を行うことができる。比較器18の入力端子A、Bへの入力が等しい時に、「最も前に受信を開始したVC」でタイムアウトを検出したことになる。

【0017】

【発明が解決しようとする課題】ところが上述した従来の検出装置では、各VCのセルレートやバケット長に応じたタイムアウト検出が行えないという問題がある。すなわち図7において、例えば、各VCのバケットが正常に受信され組み立てられるまでの所要時間が、VCi: 2msec、VCj: 4msec、VCk: 8msecである場合に、タイムアウトの許容時間の設定は8msecとしなければならない。この場合、仮にVCiのバケットが5msecかかって受信されたとしてもタイムアウトは検出されないことになる。また、実際にVCiでセルが廃棄されて受信が完了しない場合でも8msec経過するまではタイムアウト検出が行えないことになる。したがって、各VC単位での正確なタイムアウト検出が行えないことになる。

【0018】その理由は、受信バケットのタイムアウト許容時間が複数のVCに対して1個の値しか設定できないためである。

【0019】本発明の目的は、上記の点にかんがみてなされたもので、ATM通信制御装置において、各受信VCのセルレート、バケット長に応じて各受信VC単位でバケット組み立て時間、つまり、先頭セルを受信してから最終セルまでの時間のタイムアウト検出を正確に行うことのできるタイムアウトの検出方法および装置を提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成するために、本発明においては、ATM受信バケットのタイムアウトの検出をCAM（Content Addressable Memory）を使用することにより行うようにした。

【0021】本発明に受信バケットのタイムアウト検出装置は、ATMセル受信手段内に、（a）書き込み／検索モードにより入力データを切り換えるセレクトと、タイムアウト検出時間を登録するセルアレイと、セルアレイの内容の書き込み／読み出しのアドレスを受信VCからデコードするアドレスデコーダと、セルアレイの出力から一致信号および一致アドレスを出力するプライオリ

ティエンコーダとから構成されるCAMと、(b)書き込み/検索モード切り換え部と、(c)システムバス側から供給されるシステムクロックに同期してインクリメントされるカウンタで構成されるタイマ部と、(d)各VCのタイムアウト許容時間とタイマ部のカウンタ値とを加算するための加算器とを有するタイムアウト検出装置を設けた。

【0022】また本発明によれば、各受信VCのタイムアウト検出をイネーブルにするためのビットと受信パケットのタイムアウト許容時間とを、それぞれのVCの情報10を格納する領域内で各VC単位で設定できるようにした。

【0023】各受信VC単位で、ATM受信パケットのタイムアウトの許容時間を設定できるので、タイムアウト検出を各VCのセルレート、パケット長に応じて各VC単位で正確に行うことができる。またタイムアウトの検出にCAMを使用するので、タイムアウト検出装置の回路規模を小さくすることができる。

【0024】

【発明の実施の形態】以下に図面を参照して本発明を説20明する。

【0025】図1は本発明によるタイムアウト検出装置の第1の実施の形態を示すブロック図である。

【0026】図1に示したATM受信パケットのタイムアウト検出装置は図6に示したATM通信制御装置のSAR受信部24にあり、書き込み/検索モードにより入力データを切り換えるセレクタ2と、タイムアウト検出時間を登録するセルアレイ3と、セルアレイ3の内容の書き込み/読み出しのアドレスを受信VCからデコードするアドレスデコーダ4と、セルアレイの出力から一致30信号および一致アドレスを出力するブライオリティエンコーダ5とから構成されるCAM1と、書き込み/検索モード切り換え部9と、システムバス31側から供給されるシステムクロック19に同期してインクリメントされるカウンタ7で構成されるタイマ部6と、各VCのタイムアウト許容時間とタイマ部6のカウンタ値とを加算するための加算器10とで構成される。

【0027】コントロールメモリ27は、VC単位で領域を分けてそれぞれのVCの情報を格納する。VCテーブル14a~14c内のタイムアウト検出に関連するパラメータとしては、タイムアウト検出をイネーブルにするためのEビットと、受信パケットのタイムアウト許容時間(T1)とがある。40

【0028】また、SAR受信部24は、さらに、受信セルのヘッダとペイロードを分離するヘッダ/ペイロード分離部11と、受信セルのヘッダから抽出したVPI/VCIをこれに対応するVCに変換するVPI/VCI-VC変換部12と、DMA時まで受信セルのペイロードを格納するための受信データFIFO13とを有する。

【0029】次に動作を説明する。

【0030】本発明においては、受信パケットのタイムアウトの検出はCAMを使用することにより行う。CAMとは連想メモリのことで、セルアレイ内に記憶されたデータが検索パターンとして入力されたデータと一致したときに、そのデータの記憶されているアドレスを一致信号とともに出力するようなメモリである。

【0031】図2は上記第1の実施の形態の動作を説明するためのフローチャートである。SAR受信部24がセルを受信すると、コントロールメモリ27に格納されている受信VCに対応するVCテーブルからEビットとタイムアウトの許容時間を読み出す(S2、S3)。Eビットを調べ(S4)、Eビットがセットされていない場合は、セル受信を再び待つことになる。Eビットがセットされている場合には、受信セルがパケットの最終セルかどうか調べる(S5)。最終セルの場合、つまり、タイムアウトの許容時間内にパケットの最終セルが到着した場合には、CAM1を書き込みモードに切り換え(S11)、セルアレイ3内のEビットをクリアし、このVCのタイムアウト検出を終了する(S12)。最終セルでない場合は、次に先頭セルかどうかを調べる(S6)。先頭セルでない場合には、セル受信を再び待つことになる。受信セルが先頭セルの場合、CAM1を書き込みモードに切り換え(S7)、タイムアウト検出時間、つまり、先頭セルの受信時間(TS)とタイムアウトの許容時間(T1)との加算値と、EビットをCAM1のセルアレイ3に登録し(S8)、CAM1を検索モードに切り換える(S1)。

【0032】CAM1の検索モードにおいて、現在時間を示すタイマ部6のカウンタ値の最上位ビットに“1”を付加したものを検索パターンとして入力する。これは、セルアレイ3内のEビットをクリアしたものを一致検出させないためである。入力される検索パターンが、CAM1のセルアレイ3に登録されたタイムアウト時間に一致したときに、その一致アドレスのVCでタイムアウトが検出されたことになる(S9、S10)。タイムアウトが検出されると、CAM1を書き込みモードに書き換え(S11)、セルアレイ3内のEビットをクリアし、このVCのタイムアウト検出を終了する(S12)。

【0033】本発明の第1の実施の形態では、コントロールメモリ27内のVCテーブル14a、14b、14cに各VCの受信パケットのタイムアウト許容時間(T1)を設定できるため、タイムアウト検出を各VCのセルレート、パケット長に応じて各VC単位で正確に行うことができる。また、CAMを使用しているため、集積化が容易であり、タイムアウト検出回路の回路規模を小さくすることができる。

【0034】図3は本発明によるタイムアウト検出装置50の第2の実施の形態のブロック図である。

【0035】図3において、システムバス31側から供給されるシステムクロック19と、このシステムクロック19を分周するk分周回路、m分周回路34、n分周回路35（ただし、k、m、nは正の整数）の出力とを外部から供給されるタイマ分解能選択コードにより選択するセレクタ32が設けられ、セレクタ32の出力信号に同期してタイマ部6内のカウンタ値がインクリメントされる構成となっている。その他の構成は図1に示した第1の実施の形態と同じである。

【0036】低レートで受信されるパケットまたはパケット長が長いパケットは、受信完了までに時間がかかる。そのため、タイマ部6内のカウンタ7、CAM1のセルアレイ3、各VCテーブル内のタイムアウト許容時間などの各領域の各ビット幅を大きくする必要がある。たとえば、これらの領域のビット幅が16ビットで、システムクロック19が33MHzであった場合、1単位時間は30nsecであり、タイムアウト検出が行える時間は、最大でも2msec程度である。このため、受信完了までの時間が10msecかかるパケットのタイムアウト検出は行えないことになる。したがって、タイムアウト検出を行うためには、各領域のビット幅を3ビット分大きくしなければならない。

【0037】この実施の形態では、各分周回路とタイマ分解能選択コードによりシステムクロック19を分周した信号でタイマ部6内のカウンタ値をインクリメントできるため、1単位時間を長くすることができ、低レートで受信されるパケットまたはパケット長が長いパケットに対しても各領域のビット幅を大きくする必要がなくなる。受信完了までの時間が10msecかかるパケットを受信する場合には、システムクロック19を6分周した信号を選択することでタイムアウト検出を行うことができる。

【0038】上記第2の実施の形態は第1の実施の形態の効果に加えて、システムクロックを分周し、タイマ部のインクリメントの単位時間を長く設定することができるため、低レートで受信されるパケットまたはパケット長が長いパケットに対応できる。また、タイマ部内のカウンタ、CAMのセルアレイ、各VCテーブル内のタイムアウト許容時間などの領域のビット幅を小さくできるという効果も有する。

【0039】

【発明の効果】第1の効果は、ATMパケットのタイムアウト検出を各受信VCのセルレート、パケット長に応じて各VC単位で正確に行うことができるということである。その理由は、各受信VC単位で、ATM受信パケットのタイムアウトの許容時間を設定できるためである。図1を参照すると、例えば、各VCのパケットが正常に受信され組み立てられるまでの所要時間が、VCi: 2msec、VCj: 4msec、VCk: 8msecである場合に、タイムアウトの許容時間をそれぞれ

のVCに対して、2msec、4msec、8msecと設定することができる。

【0040】第2の効果は、タイムアウト検出部にCAMを使用しているためにタイムアウト検出部の回路規模を小さくすることができるということである。

【図面の簡単な説明】

【図1】本発明によるタイムアウト検出装置の第1の実施の形態のブロック図である。

【図2】図1に示した本発明の第1の実施の形態の動作を説明するためのフローチャートである。

【図3】本発明によるタイムアウト検出装置の第2の実施の形態のブロック図である。

【図4】本発明および従来技術が適用されるATM通信装置で構成されるATMネットワークシステムの一例を説明するための図である。

【図5】パケットのATMセル化を説明するためのブロック図である。

【図6】本発明および従来技術が適用されるATM通信装置の一例を示すブロック図である。

【図7】従来例のタイムアウト検出装置の一例のブロック図である。

【符号の説明】

- 1 CAM
- 2 セレクタ
- 3 CAMセルアレイ
- 4 アドレスデコーダ
- 5 プライオリティエンコーダ
- 6 タイマ部
- 7 カウンタ
- 8 インクリメンタ
- 9 書き込み/検索モード切り換え部
- 10 加算器
- 11 ヘッダ/ペイロード分離部
- 12 VPI/VCII-VC変換部
- 13 受信データFIFO
- 14 a~14c 受信VCテーブル
- 15 a~15c 受信VCテーブル
- 16 T1レジスタ
- 17 TSレジスタ
- 18 比較器
- 19 システムクロック
- 20 a、20 b ATMサーバ
- 21 a~21 c ATM端末
- 22 a~22 c ATMスイッチ
- 23 a~23 f ATMセル
- 24 SAR受信部
- 25 SAR送信部
- 26 DMAコントローラ
- 27 コントロールメモリ (VCテーブル)
- 28 PHY

- | | |
|-----|-------|
| 3 3 | k分周回路 |
| 3 4 | m分周回路 |
| 3 5 | n分周回路 |

Figure 1 is a block diagram of a packet reception system. The diagram illustrates the flow of data and control signals from the PHY interface to the DMA controller.

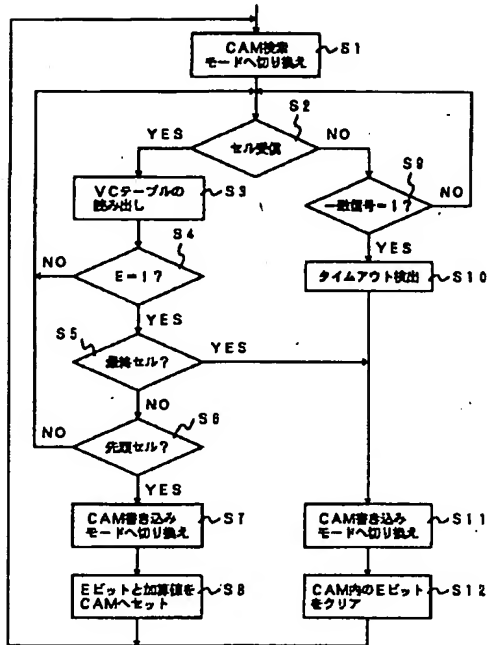
Key Components and Connections:

- PHY:** Provides input to the **ヘッダ/ペイロード分離部** (Header/Payload Separation Unit).
- ヘッダ/ペイロード分離部:** Outputs to the **受信データFIFO** (Reception Data FIFO).
- 受信データFIFO:** Outputs to the **DMAコントローラ** (DMA Controller) and the **VPI/VC1-VC変換部** (VPI/VC1-VC Conversion Unit).
- VPI/VC1-VC変換部:** Outputs **VC** signals to the **加算器** (Adder) and the **CAM**.
- システムクロック** (System Clock): Provides input to the **カウンタ** (Counter) and the **タイマ部** (Timer Unit).
- カウンタ:** Outputs a signal to the **加算器**.
- タイマ部:** Outputs a signal to the **加算器**.
- 加算器:** Adds the **VC** signal and the timer output, outputting to the **セクタ** (Selector).
- セクタ:** Selects from the **CAM** based on the adder's output.
- CAM (Content Addressable Memory):** Contains a **セルアレイ** (Cell Array) with entries for **VCi**, **VCj**, and **VCk**, each with a corresponding **TS** value. The CAM also outputs a **一致信号** (Consistency Signal) and a **一致アドレス** (Consistent Address).
- アドレスデコーダ** (Address Decoder) and **ブライオリティエンコーダ** (Priority Encoder): Output consistent signals and addresses.
- 書き込み/検索モード切り換え部** (Write/Search Mode Switching Unit): Controls the CAM.

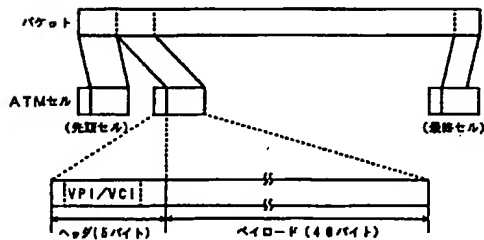
Legend:

- T1(i):** VCiのタイムアウト許容時間 (Timeout tolerance time for VCi)
- TS(i):** VCiの受信開始時間 (Reception start time for VCi)
- T1(j):** VCjのタイムアウト許容時間 (Timeout tolerance time for VCj)
- TS(j):** VCjの受信開始時間 (Reception start time for VCj)
- T1(k):** VCkのタイムアウト許容時間 (Timeout tolerance time for VCk)
- TS(k):** VCkの受信開始時間 (Reception start time for VCk)

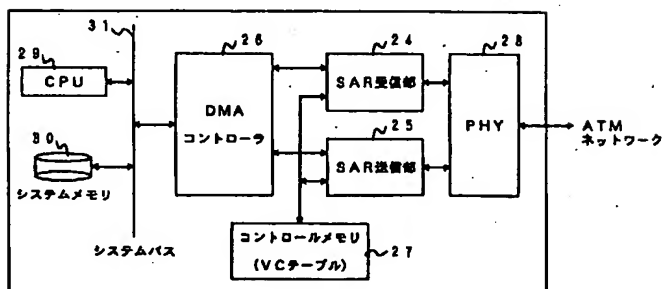
【図2】



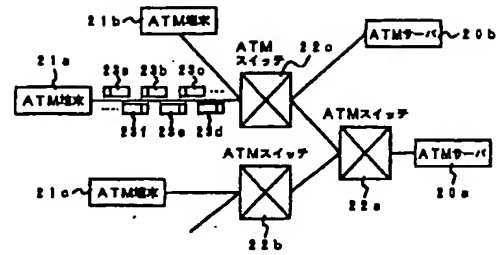
【図5】



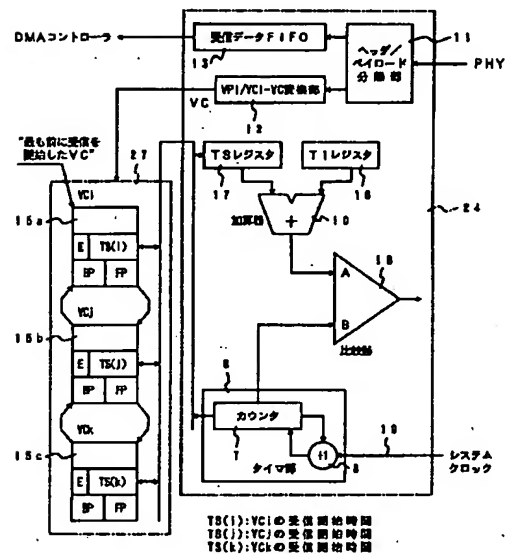
【図6】



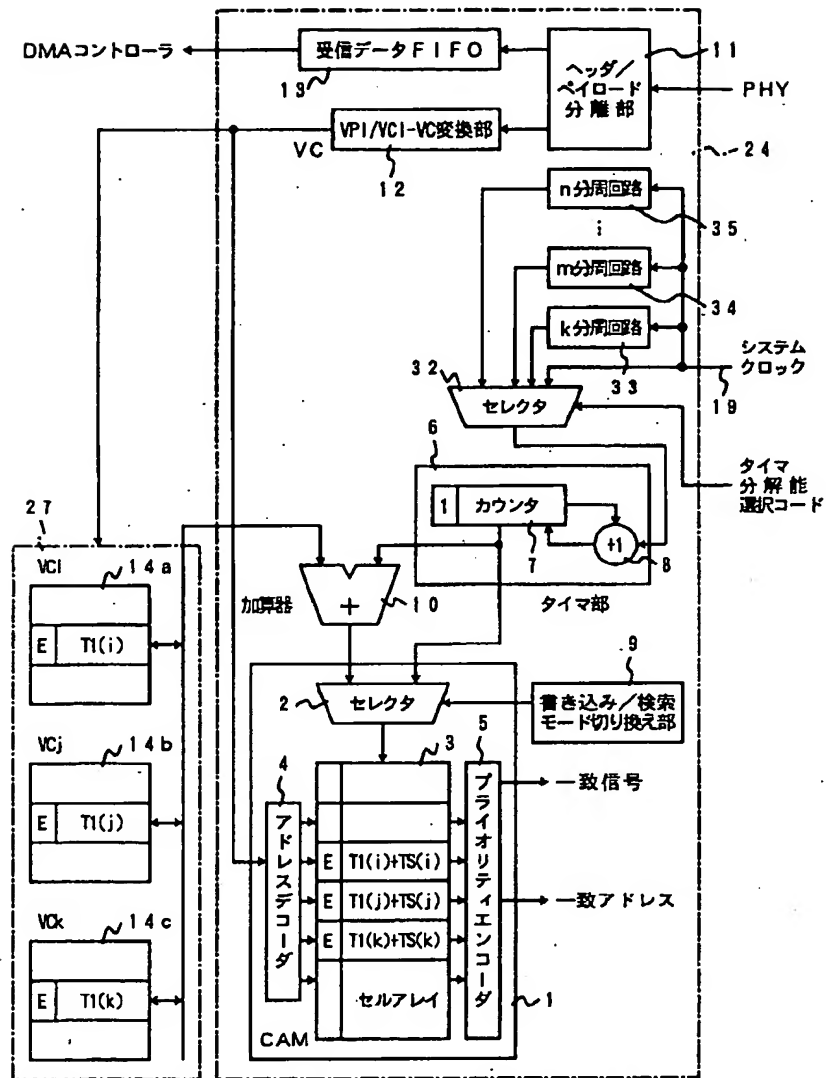
【図4】



【図7】



【図3】



$TI(i)$: VCIのタイムアウト許容時間
 $TI(j)$: VCjのタイムアウト許容時間
 $TI(k)$: VCkのタイムアウト許容時間

$TS(i)$: VCIの受信開始時間
 $TS(j)$: VCjの受信開始時間
 $TS(k)$: VCkの受信開始時間